

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085251

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01L 29/784

H01L 21/336

(21)Application number : 04-255446

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 01.09.1992

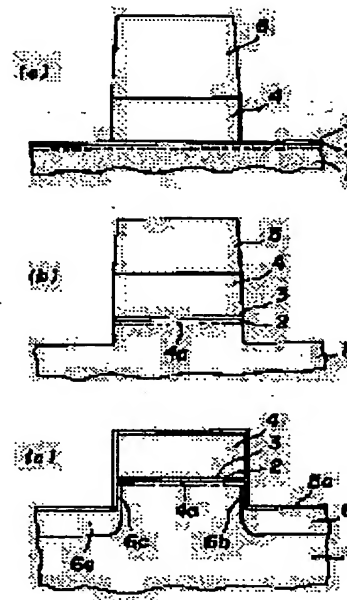
(72)Inventor : ITO YOSHIO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract

PURPOSE: To provide a semiconductor device and a manufacture thereof capable of preventing a leakage current from a wiring material to a substrate, performing a high degree of integration of a pattern and simplifying a manufacturing process without using an LDD structure in which a sidewall is formed.

CONSTITUTION: After a gate electrode 4 is etched, a gate insulating film 3 on a semiconductor substrate 1 and the semiconductor substrate 1 are etched using a resist pattern 5 or the gate electrode 4 as a mask without, removing the resist pattern 5, and a step is formed on the semiconductor substrate 1, and after the resist pattern 5 is removed, a thin oxide film 5a is formed, and then an implantation is performed in the bottom and sidewall of the step, and an annealing is performed and a transistor circuit is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-85251

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784 21/336		7377-4M 7377-4M	H 0 1 L 29/ 78	3 0 1 S 3 0 1 Y

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平4-255446

(22)出願日 平成4年(1992)9月1日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 伊東 由夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

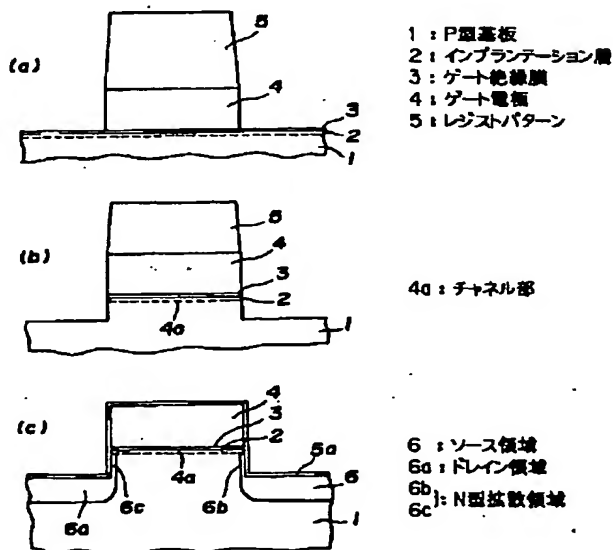
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 サイドウォールを形成するLDD構造を用いることなく、配線材料から基板へのリーク電流の防止と、パターンの高集積度化と、製造工程の簡略化を可能とする半導体装置およびその製造方法を提供することを目的とする。

【構成】 ゲート電極4をエッチングした後レジストパターン5を除去しないでレジストパターン5またはゲート電極4をマスクとして半導体基板1上のゲート絶縁膜3と半導体基板1をエッチングし、半導体基板1に段差を形成し、レジストパターン5除去後、薄い酸化膜5aを形成した後、段差の底部と側壁にインプラント処理を行い、アニール処理を施してトランジスタ回路を形成するようにしたものである。

本発明の工程断面図



【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、
上記半導体基板に形成され上記ゲート電極直下のチャネル領域に対して後退して形成された段差と、
この段差の底部に形成されソース領域およびドレイン領域となる高濃度の深い拡散層と、
上記段差の側壁に形成された低濃度の浅い拡散層と、
からなる半導体装置。

【請求項2】 半導体基板上に浅く不純物を注入した表面にゲート絶縁膜を形成する工程と、
上記ゲート絶縁膜上にポリシリコンを成長させてホトリソグラフィおよびエッチング処理を行うことによりゲート電極を形成する工程と、
上記ゲート電極もしくはゲート電極の形成にレジストパターンをマスクにして上記ゲート絶縁膜およびその下の上記半導体基板をエッチングして半導体基板の表面を後退させて段差を形成する工程と、
上記レジストパターンを除去して上記ゲート電極をマスクとして上記段差の底部および側壁部に不純物を注入する工程と、
よりなる半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、Siなどの半導体基板上にMOSFET構造を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来の半導体装置（以下、適宜LSIと称する）は、高集積化、高速化、低消費電力化を行うために各種の技術開発が進められ、特に、高集積化を行うためには、個々の回路パターンの微細化が要求されており、そのためには、同等もしくはそれ以上の機能や電気的特性を有しながらも、より占有面積の小さな回路パターンを形成することが必要とされている。

【0003】しかしながら、回路パターンの微細化を実現させるためには、ホトリソグラフィ技術のみで、個々の回路パターンを単純縮小させていくだけでは、露光装置の解像力上の限界があり、困難となってきた。

【0004】図4以降により従来より一般的に知られているMOSFET構造のN型トランジスタを例にとり、微細化を行っていく際の問題点を説明する。

【0005】図4(a)ないし図4(d)は従来のMOSFETの製造方法を説明するための工程断面図である。まず、図4(a)に示すように、P型基板31内の表面部分には、BなどのP型の不純物がごく浅く注入（インプランテーション）された不純物領域32上にゲート絶縁膜33（通常はSiO₂膜）が100～500Å程度に形成されており、さらに、その上にポリシリコンのゲート電極膜34（ポリシリコンやタングステンシ

リサイド膜など）が1500～5000Å程度に形成する。

【0006】次に、図4(b)に示すように、2層構造（ポリシリコンのゲート電極膜34上にタングステンシリサイド膜34aが形成されている場合）を有する場合も知られているが、この図4の例では省略する。

【0007】次に、図4(c)に示すように、ホトリソグラフィ工程およびエッチング工程を経て、ゲート電極34bのパターン形成が行われる。

【0008】さらに、全面にPやAsなどのN型の不純物がインプランテーションされる。この際に、ゲート電極34bの直下には、N型の不純物は注入されず、P型の不純物領域32がチャネル領域34cとなる。

【0009】また、上記インプランテーションされたN型不純物は、熱処理（アニール処理）により、N型半導体領域が形成され、ゲート電極34b直下のチャネル領域34cを挟んでソース領域35およびドレイン領域35aが形成される。

【0010】この図4(d)において、ソース領域35とドレイン領域35a間に電位差を与え、さらに、ゲート電極34bに正の所定電位を与えることによって、チャネル領域34c内を電子が移動できるようになり、トランジスタ動作が行われる。

【0011】このトランジスタ回路は電気回路上最も基本となるものの一つであって、他のパターン寸法を決定する上での基準となる。したがって、このトランジスタを微細化することにより、他の回路パターンの微細化も可能となり、その結果、LSIの高集積化に大きな効果をもたらす。

【0012】その反面、トランジスタ回路を微細化するために、チャネル領域の長さ（ゲート長34d）を短く設定していくと、トランジスタの電気的な特性を保つために、ゲート絶縁膜33の膜厚も薄く設定されてしまい、一般にホットエレクトロンと称されている現象によって、薄いゲート絶縁膜の劣化が速くなり、トランジスタとしての寿命が短くなってしまうという問題が発生する。

【0013】特に、このホットエレクトロンによるトランジスタ回路の劣化はゲート長34dが1μm前後の領域から徐々に顕著になり、したがって、トランジスタ回路の微細化とともに、LDD（Lightly Doped Drain）と称される構造のトランジスタ回路が適用されている。

【0014】図5以降に、従来のLDD構造のトランジスタの製造方法が示されている。図5(a)～図5(e)はその工程断面図であり、まず、図5(a)は図4(a)と同じであり、P型基板41内の表面部分に、BなどのP型の不純物がごく浅くインプランテーションされた不純物領域42上に、ゲート絶縁膜43が形成され、さらに、その上にゲート電極膜44が形成されている。

【0015】次に、図5(b)に示すように、ホトリソグラフィ工程およびエッチング工程を経て、ゲート電極膜44をゲート電極44aとするために、パターン形成が行われた後に、全面にN型不純物のインプラントーション処理が行われ、低濃度の浅い拡散領域45が形成される。

【0016】さらに、図5(c)に示すように、全面にCVD法などの成膜法で酸化膜もしくはポリシリコン膜46を全面に形成し、その後、図5(d)に示すように、全面にエッチング処理(エッチバック)が施され、ゲート電極44aの側壁部にサイドウォール状に上記酸化膜もしくはポリシリコン膜46aが形成される。

【0017】さらに、図5(e)に示すように、ゲート電極44aおよびサイドウォール状のポリシリコン膜46aをマスクとして、全面にN型不純物47が深くインプラントーションされる。また、インプラントーション処理後のアニールは逐次行われる。以上の図5(a)～図5(e)に示す工程により、LDD構造のトランジスタ回路が形成される。

【0018】このLDD構造のトランジスタ回路のゲート長は低濃度の浅い拡散領域45によって定められ、実効の拡散領域は深い拡散領域によって与えられる。

【0019】以上のように、図5(e)に示すLDD構造のトランジスタ回路は、図4(d)に示す従来の一般のトランジスタ回路と比較して、低濃度の浅い拡散領域45を介して、N型不純物47による深い拡散領域が存在することになるので、ゲート電極44aおよびチャネル領域となる不純物領域42に挟まれているゲート絶縁膜43の内部にかかる電界密度は低下し、その結果、そのゲート絶縁膜43が薄くなることによって生ずるホットエレクトロン現象で発生した問題、つまり、トランジスタとしての寿命が短くなってしまいう問題点が解決される。

【0020】このLDD構造のトランジスタ回路は、ゲート長が1 μ m前後、ゲート酸化膜43が300Å前後の領域から用いることで特に大きな効果が期待されるものであった。

【0021】

【発明が解決しようとする課題】しかしながら、以上述べたLDD構造のトランジスタ回路は、さらにパターンを微細化した際に発生するたとえば、図6(a)、図6(b)および図7に示す平面図、さらに図8の平面図と図9の断面図に示す回路パターン例の場合について発生する問題点に対しては、十分に解決できなかった。

【0022】すなわち、図6(a)、図6(b)はサイドウォールが形成された個所の欠点を説明するための工程断面図であり、図6(a)はサイドウォール膜を形成した直後の断面図であり、エッチバック後、サイドウォール形成後の断面図である。また、図7は、図6(b)の状態からコンタクトパターン形成まで終了した状態の

平面図である。

【0023】この図6(a)、図6(b)および図7において、51は基板、52は低濃度のごく浅いP型拡散領域、53はゲート絶縁膜、54はゲート電極、55は低濃度の浅いN型拡散領域、56はサイドウォール56a(図6(b))を形成すべき、成膜直後のサイドウォール膜である。なお、図7に示す57、58はそれぞれ図示しないが、層間絶縁膜に形成されるべきコンタクトホールパターンを示す。

【0024】この図6(a)、図6(b)、図7において、パターンが微細化していくことでは、ゲート電極54の間隔も当然狭くなり、そのために、エッチバック後のサイドウォール56aは図7のA部に示すように、部分的に完全に分離されずにつながってしまう個所が発生してしまう。

【0025】この結果、サイドウォール56aが分離されていない個所は図6(b)に示すように、N型の不純物インプラントーションが行われないうために、高濃度の深い拡散領域は形成されないで、実効の拡散領域としての十分な電気的能力を持たなくなってしまう。

【0026】また、図8は配線材から基板に電流がリークしてしまう欠点を説明するための図であり、図9は図8のA-A線の断面図である。この図8、図9の両図において、61は高濃度の深いN型拡散領域、62はフィールド酸化膜で素子(拡散領域)分離領域である。

【0027】さらに、63はゲート電極、64はサイドウォール、65は低濃度の浅い拡散領域、66は層間絶縁膜、67は層間絶縁膜に形成されたコンタクトホールである。

【0028】図9に示すB部において、コンタクトホール67を介して接合される図示はしないが、A1膜などの配線材は、ゲート電極63に対しては、サイドウォール64を介しているため、電気的なショートは生じないが、低濃度の浅い拡散領域65上に接合してしまうため、その後の工程での熱処理などにより、低濃度の浅い拡散領域65の下に基板まで接合が進行して、配線材から基板に電流がリークしてしまうという問題がある。このため、コンタクトホール67の下地パターンとの重ね合わせに関しては、サイドウォール64に対して、十分な余裕を確保する必要があった。

【0029】この図6(a)、図6(b)、図7～図9に示す例は、最も短いゲート長が1 μ m前後から0.8 μ m前後までの寸法が要求されるLSIの集積度においては、特に顕著に発生する問題ではないが、さらに集積化が進み、最も短いゲート長が0.8 μ m前後からそれ以下の寸法が要求されるLSIでのパターン形成においては、無視することができなくなり、どうしても解決すべき問題となっている。

【0030】請求項1の発明は前記従来技術が持っている問題点のうち、LDD構造を有するトランジスタのゲ

ート長が短くなるにつれて、サイドウォールが分離されない個所で高濃度の深い拡散層が形成されず、実効的な拡散領域としての電気的能力を果さなくなってしまう点と、コンタクトホールを介して接合される配線材から基板に電流がリークする点について解決した半導体装置を提供するものである。

【0031】また、請求項2の発明は、前記従来技術が持っている問題点のうち、配線材から基板にリーク電流が流れないようにするために、サイドウォールに対して十分な余裕を確保する必要があるために高集積度を阻害する点と、サイドウォール形成工程や低濃度の浅い拡散領域の形成のためのインプラントレーションが必要である点について解決した半導体装置の製造方法を提供するものである。

【0032】

【課題を解決するための手段】請求項1の発明は前記問題点を解決するために、半導体装置において、ゲート電極下のチャネル領域に対して、ソース・ドレイン領域に対して後退した段差と、この段差の底部に形成された高濃度の深い拡散領域と低濃度の浅い拡散領域とを設けたものである。

【0033】また、請求項2の発明は、前記問題点を解決するために、半導体装置の製造方法において、ゲート電極もしくはゲート電極形成に用いたホトレジストパターンをマスクにして、半導体基板上の絶縁膜とこの絶縁膜の下の基板にエッチング処理を施してこの絶縁膜の下の基板を後退させて段差を形成する工程と、ゲート電極をマスクとして段差底部と段差側壁部に不純物を注入する工程とを導入したものである。

【0034】

【作用】請求項1の発明によれば、以上のように、半導体装置を構成したので、チャネル領域に対してソース領域、ドレイン領域の段差となる部分がゲート絶縁膜と接触する低濃度の浅い拡散領域がゲート電極で覆うことになり、ソース・ドレイン間の横方向に広がり、電界を緩和し、アバランシェ降伏およびホットキャリアの発生を抑制し、高耐圧化および高速化を可能とするように作用し、したがって、前記問題点を除去できる。

【0035】また、請求項2の発明によれば、半導体装置の製造方法において、以上のような工程を導入したので、ゲート電極の側面部にサイドウォールを形成することなく、チャネル部の両端から高濃度の深い拡散層で形成されたソース領域、ドレイン領域の間を段差側の側壁部に低濃度の浅い拡散層を形成したMOSFET構造となり、ソース領域、ドレイン領域がゲート電極と距離を有していることになり、ゲート絶縁膜内の電界密度が通常のLDD構造のMOSFETと比較して、差異を生じないようになり、サイドウォールを形成することなく、ホットエレクトロンによるホットエレクトロン現象の問題を解決することになり、したがって、前記問題点が除

去できる。

【0036】

【実施例】以下、この発明の半導体装置およびその製造方法の実施例について図面に基づき説明する。図1

50 (a)～図1(c)はこの発明の半導体装置の製造方法の一実施例を説明するための工程断面図である。

【0037】まず、図1(a)に示すように、P型Si基板1(以下、基板という)の表面部分にBなどの低濃度の不純物をごく浅くインプラントレーションしてインプラントレーション層2を形成し、このインプラントレーション層2上にゲート絶縁膜3を50～200Å程度形成する。

【0038】さらに、1500～5000Å程度の膜厚を有するポリシリコンを形成して、ホトリソグラフィ工程およびエッチング工程を経て、ゲート電極4を形成する。このエッチング処理時にエッチングマスクとして利用するレジストパターン5は図1(a)では除去されていない状態を示す。

【0039】次に、図1(b)に示すように、上記除去されていないレジストパターン5をさらにエッチングマスクとして、ゲート絶縁膜3と基板1にエッチング処理を施すことにより、ゲート電極4直下のチャネル部4a以外の基板1はエッチングされ、後退し、段差が形成される。

25 【0040】さらに、図1(c)に示すように、レジストパターン5を除去した後に、熱処理により、全面に50～200Å程度の薄い酸化膜5aを形成する。その後、PやAsなどのN型の不純物をインプラントレーションする。

30 【0041】この際、ゲート電極4の直下のチャネル部4aには、N型の不純物は注入されず、そのままチャネル領域4aとなる。また、このインプラントレーション処理においては、基板1の側壁部にも、多少不純物が打ち込まれるような処理が施される。

35 【0042】この場合、たとえば、インプラントレーション処理中に、基板1を5～12°程度傾斜させて、しかもこの基板1を回転させながら、インプラントレーション処理が施されることで、基板1の側壁部に不純物を注入することが容易に可能となる。すなわち、ごく一般的に知られている斜めインプラントレーション処理などを施せばよい。

45 【0043】その後、アニール処理を行うことにより、ソース領域6とドレイン領域6aが形成される。さらに、このソース領域6と、ドレイン領域6aと、チャネル部4a間の段差側壁部には、低濃度の浅いN型拡散領域6b、6cがそれぞれ形成される。

【0044】このように、ゲート電極4の側の側面部にサイドウォール形成を行うことなく、チャネル部4aの両端から高濃度の深い拡散層で形成されたソース領域6とドレイン領域6aの間を段差側壁部に低濃度の浅いN

型拡散領域6b、6cが形成されるから、通常と同様にMOSFET構造を有しており、しかも段差下部にソース領域6、ドレイン領域6aを高濃度の深い拡散層が形成され、ゲート電極4との距離を有しているから、ゲート酸化膜3内の電界強度も通常のLDD構造のゲート回路と比較して差異を生じないようにすることが容易に可能となる。

【0045】したがって、サイドウォールを形成することなく、ホットエレクトロンにより生ずる問題が解決され、また、サイドウォールを形成する必要がないので、図6(a)、図6(b)および図7で示したようなサイドウォール形成時に発生する問題、つまり、微細なゲート電極間隔部に形成すべき拡散層の形成時にサイドウォールが残ってしまい、不純物がインプランテーションされない部分や濃度が低くなってしまう部分が発生するという問題が解決することになる。

【0046】さらに、図8に示したように、ソース領域もしくはドレイン領域に絶縁膜を介してコンタクトパターンを形成する際に、ゲート電極との重ね合わせ余裕がゲート電極に対してではなく、高濃度の深い拡散領域に対して余裕を考慮しなければならなかったものが、この発明では、余裕を直接ゲート電極に対して記憶すればよくなる。

【0047】つまり、図8にすでに示したような従来のLDD構造のトランジスタでは、コンタクトホール67がサイドウォール64に対して接してしまうように形成された場合、図9の断面図で示したように、B部の低濃度の浅い拡散領域65上にコンタクトホール67を介して配線材が接合してしまうが、上記この発明の製造方法で製造した半導体装置では、図2の平面図および図2をB-B線に沿って切断して示す図3の断面図からも明らかのように、コンタクトホール27がゲート電極23に対して同位置に形成されたとしても、図9に示すようなサイドウォール64および低濃度の浅い拡散領域65がないので、図3に示すように、コンタクトホール27を介して配線材は高濃度の深い拡散層(N型拡散層21)上に接合されることになる。

【0048】このため、配線材から基板に電流がリークしてしまう問題は発生しなくなる。したがって、コンタクトパターン27の地下パターンに対しての重ね合わせの余裕を著しく小さく設定していくことが可能となり、パターンの高集積度化に対して大きな効果を奏する。

【0049】なお、この図2、図3における21はN型拡散層、すなわち、N型の高濃度の深い拡散層であるドレイン領域であり、22はフィールド酸化膜、26は層間絶縁膜である。

【0050】また、上記実施例では、ゲート絶縁膜3と基板1のエッチング処理に際し、レジストパターン5をマスクにしてエッチングを行う場合について説明したが、レジストパターン5に代えて、ゲート電極4をマス

クにして、これらのゲート絶縁膜3および基板1のエッチングを行うようにしてもよい。

【0051】

【発明の効果】以上詳細に説明したように、請求項1の発明によれば、ゲート電極直下のチャネル領域に対してソース領域、ドレイン領域となるべき面をエッチング処理により後退させて段差を形成し、この段差の底部に高濃度の深い拡散層によるソース領域とドレイン領域を形成し、ソース領域とドレイン領域のうち、ゲート絶縁膜と接触する低濃度の浅い拡散層領域をゲート電極によって覆うように構成したので、ソース領域とドレイン領域の間の横方向の広がり電界を緩和することができ、アバランシェ降伏およびホットキャリアの発生を抑制し、高耐圧化および高速化が可能となる。

【0052】さらに、ソース領域またはドレイン領域に絶縁膜を介してコンタクトパターンを形成する際に、ゲート電極との重ね合わせ余裕を直接ゲート電極に対して考慮すればよく、コンタクトホールがゲート電極に対して同位置に形成されたとしても、サイドウォールと低濃度の浅い拡散層がないので、配線材から基板に電流がリークする問題点が解決される。

【0053】また、請求項2の発明によれば、ゲート電極もしくはレジストパターンをマスクとしてゲート絶縁膜とその下の基板のエッチング処理を行って基板を後退させて段差を形成し、この段差の底部と段差の側壁部に不純物を注入するようにしたので、段差底部に高濃度の深い拡散層のソース領域とドレイン領域が形成され、段差の側壁部に低濃度の浅い拡散層が形成され、低濃度の浅い拡散領域形成のためのインプランテーション処理が不要となり、したがって、インプランテーション処理が1回で済ませることが可能となる。

【0054】さらに、サイドウォール形成工程が不要なために、サイドウォール膜形成とエッチバック処理も不要となり、工数の大幅削減を可能とし、ひいては半導体装置の製造コストの低減が可能となる。

【図面の簡単な説明】

【図1】この発明の半導体装置の製造方法の一実施例の工程断面図。

【図2】同上半導体装置の製造方法を説明するためのソース領域またはドレイン領域に絶縁膜を介してコンタクトパターンを形成する際の重ね合わせ余裕を説明するための平面図。

【図3】図2のB-B線に沿って切断して示す断面図。

【図4】従来の半導体装置の製造方法の工程断面図。

【図5】従来のLDD構造のトランジスタの製造方法の工程断面図。

【図6】従来のLDD構造のトランジスタの製造方法におけるサイドウォールの形成時の工程断面図。

【図7】従来のLDD構造のトランジスタの製造方法におけるサイドウォール形成後コンタクトパターンの形成

までの状態の平面図。

【図8】従来のLDD構造のトランジスタの製造方法におけるコンタクトホールを介して配線材と拡散層との接続時の配線材から基板に電流がリークする状態を説明するための平面図。

【図9】図8のA-A線に沿って切断して示す断面図。

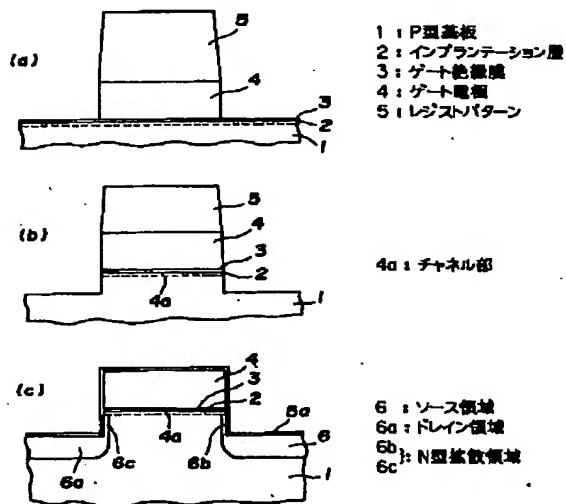
【符号の説明】

- 1 P型基板
- 2 インプランテーション層
- 3 ゲート絶縁膜
- 4 ゲート電極

- 4a チャンネル部
- 5 レジストパターン
- 5a 薄い酸化膜
- 6 ソース領域
- 05 6a ドレイン領域
- 6b, 6c N型拡散領域(低濃度の浅い拡散層)
- 21 N型拡散層
- 22 フィールド酸化膜
- 23 ゲート電極
- 10 26 層間絶縁膜

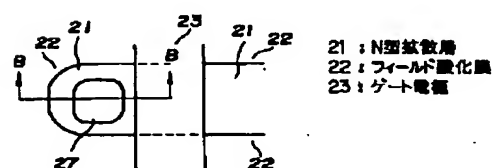
【図1】

本発明の工程断面図



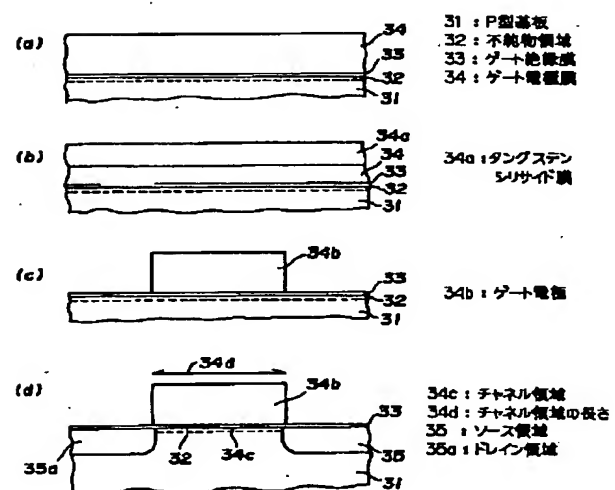
【図2】

本発明におけるコンタクトパターンの説明図



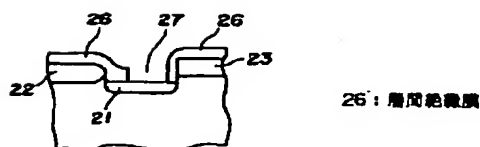
【図4】

従来のMOSFETの製造工程断面図



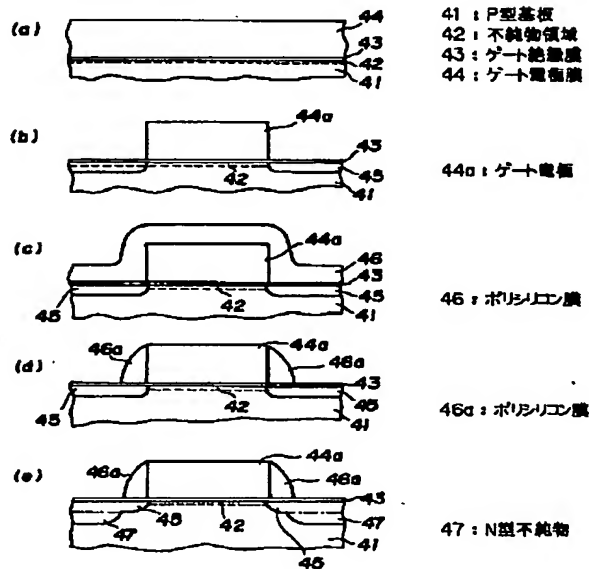
【図3】

図2のB-B線の断面図



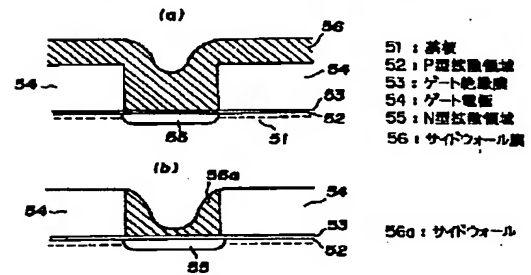
【図5】

従来のLDD構造のトランジスタ製造工程断面図



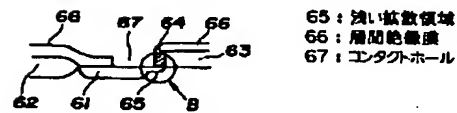
【図6】

従来のLDDトランジスタのサイドウォールの製造工程断面図



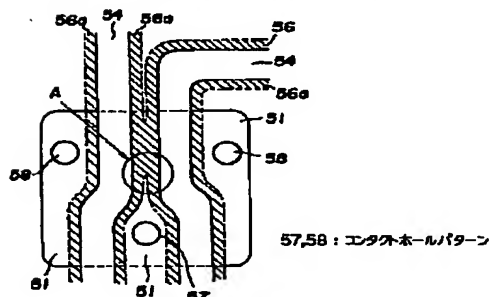
【図9】

図8のA-A線の断面図



【図7】

従来のLDD構造のコンタクトパターンの平面図



【図8】

従来のLDD構造のトランジスタのコンタクトパターンの平面図

